

(19) 日本国特許庁(JP)

(12) 公報特許公報(A)

(11) 特許出願公表番号

特表2004-537158  
(P2004-537158A)

(43) 公表日 平成16年12月9日(2004.12.9)

(51) Int. Cl.<sup>7</sup>  
HO1L 25/16  
GO9F 9/00  
GO9F 9/33  
HO1S 5/022

F 1  
HO 1 L 25/16  
GO 9 F 9/00  
GO 9 F 9/33  
HO 1 S 5/022

テーマコード (参考)  
5C094  
5F173  
5G435

審查請求 有 予備審查請求 有 (全 28 頁)

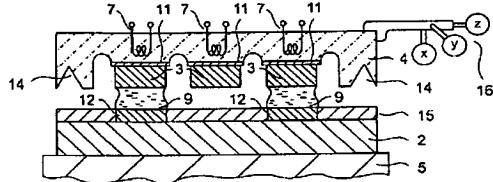
(21) 出願番号	特願2002-563524 (P2002-563524)	(71) 出願人	390009531 インターナショナル・ビジネス・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国 10504 ニューヨーク 州 アーモンク ニュー オーチャード ロード
(86) (22) 出願日	平成14年2月4日 (2002. 2. 4)		
(85) 翻訳文提出日	平成15年8月5日 (2003. 8. 5)		
(86) 國際出願番号	PCT/IB2002/000367		
(87) 國際公開番号	W02002/063678		
(87) 國際公開日	平成14年8月15日 (2002. 8. 15)		
(31) 優先権主張番号	01810130.3		
(32) 優先日	平成13年2月8日 (2001. 2. 8)		
(33) 優先権主張國	歐州特許庁 (EP)		
		(74) 代理人	100086243 弁理士 坂口 博
		(74) 代理人	100091568 弁理士 市位 嘉宏
		(74) 代理人	100108501 弁理士 上野 剛史

(54) [発明の名称] チップ転写方法および該装置

(57) 【要約】

【課題】本発明は、集積回路素子（3）をソース基板（1）からターゲット基板（2）上の所定の位置（12）に転写するための方法を提供する。

【解決手段】集積回路素子（3）を該基板上に持つソース基板（1）および制御可能な接着強度を持つ接着剤層（8）を有する素子転写ホルダー（4）が準備される。前記素子転写ホルダー（4）が、前記集積回路素子（3）の上に降ろされ、当該接着強度は前記集積回路素子（3）を前記素子転写ホルダー（4）で支持するのに適した第1の値を有する。次に、前記集積回路素子（3）が前記ソース基板（1）から開放され、かつ前記集積回路素子（3）が接着された素子転写ホルダー（4）は、前記ソース基板（1）から取り外される。所定の位置（12）に配列された液滴（9）が前記ターゲット基板（2）に準備され、かつ前記素子転写ホルダー（4）が該ホルダーに接着された集積回路素子（3）とともにターゲット基板（2）の上に降ろされ、その結果、集積回路素子（3）が前記液滴（9）に接触する。次に、接着剤の当該接着強度は、集積回路素子（3）を前記素子転写ホ



## 【特許請求の範囲】

## 【請求項 1】

a) 第1の段階において、接着強度が制御可能な接着剤から構成される接着層(8)を有する素子転写ホルダー(4)を、ソース基板(1)の上に位置する集積回路素子(3)の上に降ろし、ここで当該接着強度は集積回路素子(3)を素子転写ホルダー(4)で支持するのに適する第1の値を有し、  
 b) 第2の段階において、前記素子転写ホルダー(4)は、接着された前記集積回路素子(3)とともに所定の位置(12)に液滴(9)を有するターゲット基板(2)に向けて移動し、  
 c) 第3の段階において、前記集積回路素子(3)が接着した前記素子転写ホルダー(4)を、前記集積回路素子(3)が前記液滴(9)に接触するように前記ターゲット基板(2)の上に降ろし、  
 d) 第4の段階において、前記接着層(8)の接着強度を、前記素子転写ホルダー(4)から前記集積回路素子(3)を開放するのに適した第2の値に設定し、以って前記液滴(9)が前記集積回路素子(3)を前記所定の位置(12)に配列させ、  
 e) 第5の段階において、前記素子転写ホルダー(4)を取り外す、  
 段階を含む、集積回路素子(3)をソース基板(1)からターゲット基板(2)上の所定の位置(12)に転写するための方法。

## 【請求項 2】

前記第1の段階において、前記素子転写ホルダー(4)が、アライメント要素(13)を介して前記ソース基板(1)に対して位置合わせされる、請求項1に記載の方法。 20

## 【請求項 3】

前記第2の段階の前に、前記集積回路素子(3)は、前記ソース基板(1)もしくは前記集積回路素子(3)の下の犠牲層を取り去ることで前記ソース基板(1)から引き離される、請求項1もしくは2に記載の方法。

## 【請求項 4】

接着剤を有するリザーバ(貯蔵タンク)表面に前記素子転写ホルダー(4)を接触させ、前記素子転写ホルダー(4)をリザーバから引き離すことによって、前記接着層(8)が前記素子転写ホルダー(4)上に供給される、請求項1から3のどれか一つに記載の方法。

30

## 【請求項 5】

前記集積回路素子(3)に対して前記素子転写ホルダー(4)は、基本的に前記集積回路素子(3)の横方向寸法を持つ保持領域(11)を有するように構成されて与えられる、請求項1から4のどれか一つに記載の方法。

## 【請求項 6】

前記集積回路素子(3)に対して、前記接着層(8)の接着強度は基本的に当該保持領域(11)のみで制御される、請求項5に記載の方法。

## 【請求項 7】

前記液滴(9)は、前記所定の位置(12)で親水性のぬれ性構造(wettability-structured)層(15)を有するターゲット基板(2)に液体を塗布することで前記所定の位置(12)に配置される、請求項1から6のどれか一つに記載の方法。

40

## 【請求項 8】

前記接着剤はワックスのような熱的に制御可能な材料を含む、請求項1から7のどれか一つに記載の方法。

## 【請求項 9】

a) 集積回路素子(3)を支持するために、接着強度が制御可能な接着剤から構成される接着層(8)を有する素子転写ホルダー(4)、および  
 b) 前記接着層(8)の接着強度を制御するための接着強度コントローラー(7)、  
 を含む、集積回路素子(3)をターゲット基板(2)の所定の位置(12)に転写するための装置。

50

**【請求項 10】**

前記素子転写ホルダー(4)をソース基板(1)上の前記集積回路素子(3)の上に降ろすため、さらに前記素子転写ホルダー(4)をその接着層(8)に接着した前記集積回路素子(3)とともに移動するためおよび前記素子転写ホルダー(4)を前記集積回路素子(3)から取り外すために、ホルダー・ムーバ(16)をさらに含む、請求項9に記載の装置。

**【請求項 11】**

ターゲット基板ホルダー(5)および／もしくはソース基板ホルダー(6)をさらに含む、請求項9もしくは10に記載の装置。

**【請求項 12】**

前記ソース基板(1)のアライメント要素(13)に対応してアライメント対向要素(14)をさらに含む、請求項9から11のうちのどれか一つに記載の装置。 10

**【請求項 13】**

前記接着強度コントローラー(7)は基本的に前記集積回路素子(3)の横方向寸法を有する保持領域(11)のみで前記接着層(8)の接着強度を制御するように設計される、請求項9から12のうちのどれかに一つに記載の装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、ソース(供給元)基板から所定のターゲット(目標先)基板へ集積回路(IC)素子を転写する方法および該装置に関する。より具体的には、本発明は、VCSEL(Vertical-Cavity Surface-Emitting Lasers: 垂直共振器型表面放射レーザー)および他の光学あるいは非光学素子をシリコン基板ベースのチップ上の着地領域に転写する方法に関する。 20

**【背景技術】****【0002】**

現在、チップ・ツー・チップの通信は大きな革新を遂げている。TTLレベルの通信では、チップ間に伝送される必要のある膨大なデータ量をもはや処理することができない。並列高速リンクに対していくつものアプローチ(方法)が提案されている。当該技術を使うことで、機械的に実現可能な制限されたICピン数によってもかなり高速なデータ速度で処理できる。しかしながら、1500ピンを超えるとパッケージのコスト問題のために、約1TB/秒の難しい限界があるものと予測される。加えて、信号ロス、分散および許容できるチップ電力により、相互接続のビット・レートは1ピンあたり約10GB/秒に制限される。一つの解決法として、長距離通信に対してのみでなく短距離のチップ・ツー・チップ通信に対しても光チャネルを用いることであろう。光インターフェクト(相互接続)は、しかしながら光源を必要とする。特にこれらの応用に望ましいものにVCSEL(Vertical-Cavity Surface-Emitting Lasers: 垂直共振器型表面放射レーザー)がある。目標は、大きなシリコンCMOSチップの電気的入出力(IO)を光インターフェクトで置き換えることである。残念ながら、シリコンは、間接バンドギャップのためにレーザーあるいはLEDとして使うことができない。結果として、重大なアセンブリ問題を創出するが、外部(off-chip)レーザーを用いなければならない。短距離の電気的接続がCMOSを外部レーザー・チップに接続するために再び必要となる。当該インターフェクトは、短距離であるが寄生容量のためにすでに問題を含んでいる。加えて、数百のレーザーを実装するのは、非常にコスト集約度が高い。大きい單一チップのレーザー・アレイは、CMOSチップの各ピンが最も近接したレーザーを必要とするため、実現性が低い。 40

**【0003】**

いくつかの研究グループが、シリコン上にたとえばGaAsの薄層を成長させることで、当該問題を解決しようとしている。これは、シリコン・チップ上へのレーザーのモノリシック集積を可能とする。残念ながら、シリコン上にGaAsを成長させることは、格子定数の大きな差があるため、極めて難しい。

**【0004】**

別のグループは、GaAs層をシリコン上に転写する技術を開発している。当該アイデアは、レーザーもしくは光素子を含むIII/V族半導体材料の薄膜（1ミクロン未満から数ミクロン）層の転写である。当該層が薄いために、CMOS回路とレーザーのインターフェクションは、標準のメタライゼーション技術、たとえばCMOSチップの最後のメタライゼーション・レベルで達成できる。結果としてたとえばレーザーを有するCMOS回路のモノリシック集積ができる。当該技術の制限は、これまでかなりの手動プロセスであった。現在、一度に手動で1つのレーザーを転写することは、いかなる商用で効率的な製造プロセスにおいても使うことが許されない。

#### 【0005】

T.E. Morf著“Epitaxial Lift-off Applications in Microwave Circuits and Optoelectronics” Diss. ETH Nr. 11800 (1996)において、エピタキシャル・リフトオフ(epitaxial lift-off)プロセスにより、該基板からデバイス(素子)を引き離すことができ、かつ当該デバイスをターゲット基板に転写するのに利用できることについての概要が提供された。

10

#### 【0006】

I. Pollentier, P. Demeester, P. Van Daele, D. Rondi, G. Glastre, A. Enard, and R. Blondeppeにより、水滴の使用に基づいて転写デバイスを整列する原理が“Fabrication of long wavelength OEICs using GaAs on InP epitaxial lift-off technology”, in Proc. Third Int. Conf. on InP and Related Materials, New York, USA (1991), pp. 26 20  
8-271に記述された。

20

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0007】

本発明はVCSEL (vertical-cavity surface-emitting lasers) およびフォト・ダイオードをウェハ・サイズにおける転写に使うことができるアセンブリ工程により、数百あるいは数千のレーザーおよびフォト・ダイオードでさえCMOSウェハ上に同時に転写できるようにすることを目的とする。

#### 【課題を解決するための手段】

#### 【0008】

本発明の第1の観点によると、集積回路素子をソース基板からターゲット基板上の所定位置に転写するための方法が提供される。

30

#### 【0009】

本発明の第2の観点によると、集積回路素子をソース基板からターゲット基板上の所定位置に転写するための装置が提供される。

#### 【0010】

本発明の第3の観点によると、当該方法および装置により複数の集積回路素子を同時に転写することができる。

#### 【0011】

本発明の第4の観点によると、当該方法および装置により集積回路素子を1つ以上のターゲット基板の上に選択的に転写することができる。

40

#### 【0012】

本発明の第5の観点によると、集積回路素子は、ターゲット基板の上に自動的に配列される。

#### 【0013】

本発明は、集積回路素子をソース基板からターゲット基板上の所定の位置に転写するための方法を対象にしている。第1の段階で、制御可能な接着強度をもつ接着剤を含む接着層を有する素子転写ホルダーが、ソース基板上に配置された集積回路素子の上に降ろされる。当該接着強度は集積回路素子を素子転写ホルダーで支持するのに適した第1の値を有する。第2の段階で、素子転写ホルダーは、ホルダーに接着した集積回路素子とともに所定の位置に液滴を有するターゲット基板に向けて移動する。第3の段階で、集積回路素子が

50

接着した素子転写ホルダーは、集積回路素子が液滴に接触するようにターゲット基板の上に降ろされる。第4の段階で、接着層の接着強度は、素子転写ホルダーから集積回路素子を離すのに適した第2の値に設定され、液滴が集積回路素子を所定の位置に配列させる。最後に、素子転写ホルダーが取り外される。

## 【0014】

ここで記述した技術は、エピタキシャル・リフトオフ (ELO: epitaxial lift-off) 技術のさらなる開発につながる。ELOの基本アイデアは、III/V族半導体材料の薄膜片を開拓してこの薄膜片を新しいホスト材料上に転写することである。当該薄膜は、ファンデルワールス力で新しいホスト材料に接着される。重要な (critical) 段階には、当該成長基板から薄膜片を引き離す、転写する、および配列することがある。後者は、最新技術である手動のピック・アンド・プレイスのプロセスで実施できるが、单一薄膜片を操作するのは、いかなる商用の製造プロセスにおいても使用できない。本発明は、ウェハ・サイズの自動プロセスによってこの手動プロセスを排除できるようにするものである。

10

## 【0015】

アライメント要素を介して素子転写ホルダーがソース基板に位置合わせされる時、それによって素子転写ホルダーについて集積回路素子の位置合わせが達成できるので、引き続いて集積回路素子の領域において接着強度の緻密な制御が可能になり有利である。

## 【0016】

第2の段階前で、集積回路素子はソース基板もしくは集積回路素子の下の犠牲層を取り去ることでソース基板から引き離すことができる。これは、そのとき集積回路素子が分離されターゲット基板に単一要素として転写できるという利点がある。数個の集積回路素子がその結果同じ基板上に製造でき、選択的に転写されるように互いに分離される。互いに数個の当該集積回路素子を分離するために、たとえばエッティングにより集積回路素子の間にトレンチが形成できる。

20

## 【0017】

接着層を提供するという簡便で安価でかつ即座の解決法は、接着剤を有するリザーバ（貯蔵タンク）表面に素子転写ホルダーを接触させ、素子転写ホルダーをリザーバから引き離すことである。また接着層はスタンプ、スプレイもしくはローラー、ブレードもしくはブラシで塗布できる。スタンプ法もしくはリザーバに接触させる方法は、接着層がかなり均一な厚みになるという利点、つまり接着強度がより正確に制御できるという点で有利である。

30

## 【0018】

集積回路素子に対して素子転写ホルダーが基本的に集積回路素子の横方向寸法を持つ保持領域を有するように構成されて提供されている場合、当該集積回路素子のための予定の領域がある。このことで、たとえば保持領域の構造的なエッジを用いることによる集積回路素子の素子転写ホルダーに対する良好な位置合わせができる。集積回路素子に対しての接着層の接着強度もまた基本的に当該保持領域のみで制御できる。このことで、集積回路素子は、素子転写ホルダーに対し、選択的な接着および／もしくは開放ができる。たとえ異なる集積回路素子でも同一の素子転写ホルダーに接着できる。

40

## 【0019】

簡便でそれにもかかわらず選択的な位置合わせが、液滴を用いて提供される。ここでの液滴としては、液体の閉じこめられた量と理解できる。この液滴は従ってまた薄い液体フィルムでもよい。液滴は、所定の位置で親水性のぬれ性構造層を有するターゲット基板に液体を塗布することで所定の位置に有利に配置できる。その結果、簡単にターゲット基板全体に当該液体を塗布することによっても、ぬれ性構造により予め決定された位置のみに液滴を残すことができる。当該ぬれ性構造は、フォトリソグラフィ工程またはスタンプ法で形成できる。液滴の能動的な位置合わせは実行される必要がないので、たとえば重力もしくは空気の流れといった環境の影響のために液滴がその位置から離れるというリスクは減少する。当該ぬれ性構造は、また液滴に含まれる液体の量を自動的に制限する効果がある。液滴の表面張力は、次に集積回路素子の位置合わせを効果的に行うのに適している

50

## 【0020】

熱的に制御可能な接着層を利用することで、接着強度を制御するためにヒーターを使うことができる。これは、非常に安価で簡単に実現できる制御方法を提供する。素子転写ホルダーの内蔵ヒーターは、たとえばコイルあるいは曲がりくねったワイヤ構造によって、電流誘導過熱を使うと実現可能であり、加熱されるために不足電流 (under current) に設定される。熱は、局所的に良好に制御でき、そのために素子転写ホルダーのための材料は、集積回路素子の別の位置では接着強度を制御することができるよう、本質的に集積回路素子の特定位置では熱の存在が許されない熱伝導を提供するので有利である。その結果、選択的な接着強度の制御が達成できる。

10

## 【発明を実施するための最良の形態】

## 【0021】

発明の実施例は、図面に示され、例を持って以下に詳細に記述する全ての図は、明確にするために実際の寸法ではなく、実スケールでの寸法関係でもない。

## 【0022】

本発明の様様な具体例としての実施形態を以下に記述する。

## 【0023】

図2に示されるCMOSウエハ2は、数個のチップを有し、既知のCMOSプロセスを用いて加工される。ここで、当該プロセスは最後のメタライゼーション段階の後で終了する。当該チップは、集積回路素子3（ここではVCSEL3である）のための着地領域（landing area）12を有する。着地領域12は、ここでは光学入力が要求される信号パッドである。CMOSウエハ2全体は、次に着地領域12を除いて疎水性となされる。それゆえ、着地領域は、ぬれ性構造層15で覆われ、着地領域12を親水性として、一方残りのぬれ性構造層15を疎水性として残すように構成される。このCMOSウエハ2は、また集積回路素子3を代表するVCSEL3に対してターゲット基板2としても参照される。着地領域12は、これら集積回路素子3のための所定の位置12でもある。当該CMOSウエハ2は、ターゲット基板ホルダー5の上に保持される。

20

## 【0024】

図1に示すように、VCSEL3は、VCSEL3下部にエッチング・ストッパー層10を有するVCSELウエハ1の上に形成される。VCSEL3の形成については、いかなるVCSELの標準プロセスも使用できる。たとえば、 $50\mu m \times 50\mu m$ 寸法の数百万個のVCSEL3が標準の4インチのGaAsウエハ上で形成でき、その結果低コストのデバイスとなる。VCSELウエハ1は、以下で、ソース基板1とも参照され、ソース基板ホルダー6に保持される。

30

## 【0025】

次に、VCSELウエハ1の上面から、トレンチが全てのVCSEL間でエッチングされる。トレンチは、VCSEL3が互いに分離されるエッチング・ストッパー層10まで到達する。これは通常のドライ・エッチング技術を用いて実施される。同時に、アライメント要素13がVCSELウエハ1上に形成できる。出来上がりの構造が図1の下方の部分に図示されている。

40

## 【0026】

図1には、また素子転写ホルダー4が示されている。シリコン・ウエハの形で素子転写ホルダー4が引き続く移植（転写）プロセス、つまり集積回路素子3をソース基板1からターゲット基板2へ転写するために使用される。この素子転写ホルダー4は、VCSELウエハ1と同じサイズでもかまわない。この素子転写ホルダー4において、トレンチは、下面にワッフル・パターンを形成するために存在し、そのワッフルは、たとえば $70\mu m \times 70\mu m$ でVCSEL3よりわずかに大きい。これらのワッフルは、電流により個別に加熱できる。それゆえ、ヒーター7のアレイが素子転写ホルダー4の上に配列される。加えて、素子転写ホルダー4は、アライメント要素13に対応するアライメント対向要素14を含む。素子転写ホルダー4は、ここで3次元方向全てに移動可能なホルダー・ムーバ

50

16を介してその位置を制御できる。素子転写ホルダー4は、図1に示すように下部にワッフル構造表面を配列している。

【0027】

素子転写ホルダー4がVCSELウェハ1(ソース基板1)からターゲット基板2にVCSEL3を転写できるようにするために、素子転写ホルダー4は、接着剤を有する層である接着層8を備えている。この接着層8は、制御できる外部作用に依って接着強度を変えられる特性を有する。ここで、接着強度は、熱作用で制御でき、ヒーター7が接着強度コントローラー7として働く。

【0028】

接着剤として少量のワックスがスタンプ法でワッフルに塗布され、つまりVCSELウェハ1は、ワックス供給源と接触する状態にされ、ワッフルとも略して呼ばれるVCSEL3に対して保持領域11としての機能を目的とする、ワッフル領域の突起部にそこでワックスが接着する。従って、素子転写ホルダー4は、パターン付ワックス層8を含み、これによって接着層8として個々のワッフルのワックス層8がその接着強度を別々に制御できる。

【0029】

これらのヒーター7は、素子転写ホルダー4に埋め込むことができ、それゆえワッフル・パターン表面に近接配置されるばかりでなく素子転写ホルダー4の上表面の上に構造体の形で実現できる。素子転写ホルダー4の下表面の上へのヒーター7の配列もまた、直接、素子転写ホルダー4と接着層8の間で実現でき、最善の接着強度制御を提供する。

【0030】

次に、素子転写ホルダー4は、VCSELウェハ1の上に配置される。ワックスは、それによりVCSEL3に接触する。アライメント要素(構造)13を介して、10μm以内の位置合わせが実現可能となる。素子転写ホルダー4は、以降のエッチング段階においてVCSEL3の上部をシールする。VCSELウェハ1は、次にエッチング・ストッパー10に到達するまで裏面側からエッチングされる。このプロセスを加速するために、VCSELウェハ1は、機械的に第1の厚みまでたとえば研磨により薄くすることができ、これにより25μmの厚みが達成でき、その後エッチングされ得る。エッチングは、緩慢なプロセスなので、機械的研磨はより早い基板除去を提供する。次に、エッチング・ストッパー層10は、第1のエッチングとも一体化できる第2のエッチング段階で除去される。この段階の後、すべてのVCSEL3は、ワックス層8によって各々素子転写ホルダー4に接合されるのみである。ワックスで覆われたワッフル11に付着した単一のVCSEL3を保持している素子転写ホルダー4が図2に示される。基板除去の代替方法としては、エッチング・ストッパー10が除去されるがVCSELウェハの基板全体は除去されないリフトオフ・プロセスがありうる。エッチャントは、側面からエッチング・ストッパー10に到達できる。このプロセスを加速するために、このエッチャントを別の場所でエッチング・ストッパー10に到達させると有利である。VCSEL3の間にはこのエッチャントが通り抜けて流れることができるスペースがある、しかし素子転写ホルダー4あるいはエッチング・ストッパー10に向けてエッチャントが流れるようにできるVCSELウェハ1にチャネルを提供することも、また可能である。いったんエッチング・ストッパー10が除去されると、VCSELウェハ1からVCSEL3を引き離すことができる。

【0031】

CMOSウェハ2、言い換ればターゲット基板2は、脱イオン化した水に浸漬される。ターゲット基板2はVCSEL3のための着地領域12を除いて全て疎水性であるので、水滴9は、従って着地領域12のみに形成される。CMOSウェハの残りの部分は乾いたままである。ターゲット基板2上の水滴9は、続いてターゲット基板2の着地領域12上へVCSEL3を自動位置合わせ(オートアライメント)するために利用される。

【0032】

図2に示すように、素子転写ホルダー4につり下がったVCSEL3は、CMOSウェハ2の上の水滴9と接触させられる。選択的な過熱とそれによるワックス層8の溶融により

10

20

30

40

50

、選択されたVCSEL 3が開放される。これらのVCSEL 3を保持しているワックスは、液体化しワックス層8の接着強度が減少し、VCSEL 3がもはや素子転写ホルダー4にくつついていられなくなり、そして水滴9の作用を受けるようになる。VCSEL 3は、CMOSウエハ2上の所定の着地領域12に対して数ミクロン以内でセルフ・アライメント（自己整合）される。VCSEL 3が上側できっちりしたエッジを有する場合、実質的にワックスが流れ落ちることおよび転写プロセスの信頼性と、それによる最終的な配列という後の機能性に悪影響を与えることを防ぎ、有利である。しかしながらVCSEL 3は、一般に7μmの厚みを有するので、この寸法は起こりうるワックスの流れに対して安全なマージンを提供する。素子転写ホルダー4は、次に前段階で開放されたそれらのVCSEL 3を残して取り外し可能になる。その結果が図3に示されている。

10

## 【0033】

ワックスは、従って実質的に素子転写ホルダー4および開放されなかつた該VCSEL 3にも留まる。ターゲット基板2上の水は、熱で加速されて蒸発させられる。いったん水が消えてなくなると、VCSEL 3は着地領域12の上に位置する。VCSEL 3の上に残った可能性のあるワックスは、洗浄段階で溶剤他を用いて除去できる。一般に、その後、特にVCSEL 3が着地領域12に対して一旦付加的に短時間押し付けられる時、ファンデルワールス力でVCSEL 3が定位位置に保持される。また、金属を用いてVCSEL 3を着地領域12へ糊付け(glue)つまり半田付けをすることができる。このことは、裏面にターゲット基板2の上に位置することになる接触パッドを有するVCSEL 3を使用する場合に優位性をもつ。その後、VCELコンタクトに対してのワイヤリング（配線）がターゲット基板2の上に前もって形成され、VCSEL 3を着地領域12の上に置いた後、VCELコンタクトはコンタクト領域に熱を加えることでワイヤリングに接続することができる。

20

## 【0034】

この方法により数百から千個のVCSEL 3が同時に転写できる。VCSELウエハ1および素子転写ホルダー4は、概ねCMOSウエハ2より小さい。VCSEL 3をCMOSウエハ2上の任意の位置に置くために、素子転写ホルダー4はCMOSウエハ2を超えて移動でき、VCSEL 3は所望の場所で開放される。

## 【0035】

VCSEL 3が上側で1つ以上の電気的コンタクトを有する場合、この上側への結線が必要である。パターン付メタライゼーション段階は、VCSEL 3がターゲット基板2上に配置された後実施されるが、VCSEL 3の縦方向寸法が大きすぎる場合、メタライゼーションはうまくいかない。そのためターゲット基板2からVCSEL 3の上側への転移を円滑にするサポート材料がVCSEL 3に準備される。そのためにパターン付ポリイミド層が使用できる。

30

## 【0036】

接着剤8として、接着強度を熱あるいは別の方法で制御可能な別の材料も適当である。接着剤として静電界もまた利用できる。水の替わりに、別の液体も位置合わせに利用できる。

## 【0037】

40

素子転写ホルダー4は、再使用できるように設計される。

## 【0038】

いかなる実施形態も1つあるいは複数の示されたおよび／もしくは記載された実施形態の全体ばかりでなく部分をも組み合わせることが可能である。同様なことは、一つ以上の実施形態の特徴に対しても当てはまる。この技術分野で通常の知識を有する者（当業者）が、請求の範囲に記載された発明の精神から逸脱せずに、多くの方法で、開示された配置の変更を行うことができる事が明らかである。

## 【図面の簡単な説明】

## 【0039】

【図1】ソース基板上の集積回路素子上方の素子転写ホルダーを示す。

50

【図2】ぬれ性着地領域を有するターゲット基板の上方で集積回路素子を保持した素子転写ホルダーを示す。

【図3】素子転写ホルダーが引き離された後、2つの集積回路素子が転写されたターゲット基板を示す。

【符号の説明】

【0040】

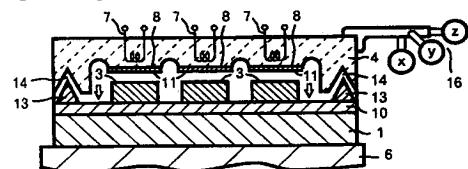
- 1 ソース基板 (V C S E L ウエハ)
- 2 ターゲット基板 (C M O S ウエハ)
- 3 集積回路素子 (V C S E L)
- 4 素子転写ホルダー
- 5 ターゲット基板ホルダー
- 6 ソース基板ホルダー
- 7 接着強度コントローラー
- 8 接着層 (ワックス層)
- 9 液滴
- 10 10 エッチング・ストッパー層
- 11 保持領域
- 12 所定の位置 (着地領域)
- 13 アライメント要素
- 14 アライメント対向要素
- 15 ぬれ性構造層
- 16 ホルダー・ムーバ

10

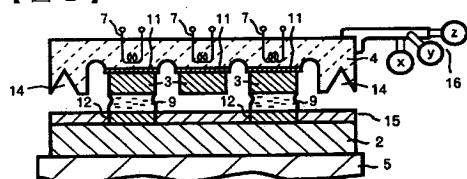
20

20

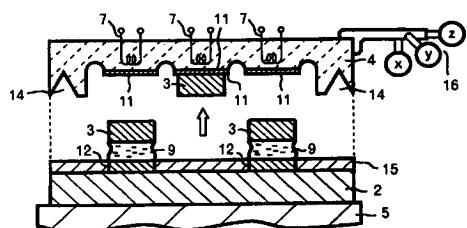
【図1】



【図2】



【図3】





**WO 02/063678 A1**

*For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

WO 02/063678

PCT/IB02/00367

- 1 -

**CHIP TRANSFER METHOD AND APPARATUS**

The invention relates to a method for transferring an integrated-circuit element from a source substrate to a predetermined position on a target substrate and an apparatus therefor. More 5 specifically the invention relates to a method of transferring VCSEL chips or other optical or non-optical components on landing areas of silicon-substrate-based chips.

**TECHNICAL FIELD AND BACKGROUND OF THE INVENTION**

Presently, chip-to-chip communication is going through a major evolution. The TTL-level communication is no longer capable of handling the tremendous amount of data which needs 10 to be transferred between chips. Several approaches for parallel high-speed links are being developed. Using such techniques, significant higher data rates can be handled by the limited number of IC pins, which are mechanically feasible. However, it is foreseen that a hard limit of about 1TB/s exists due to cost issues of packages with more than 1500 pins. In addition, signal loss, dispersion and permissible chip power, limit the bit rate of interconnects to about 10 GB 15 per second per pin. A solution would be to use an optical channel not only for long-distance communication but also for short-distance chip-to-chip communication. Optical interconnect requires however a light source. Especially desirable for these applications are Vertical-Cavity Surface-Emitting Lasers (VCSEL). The goal is to replace the electrical IOs of large silicon CMOS chips with optical interconnects. Unfortunately, silicon is due to its indirect bandgap 20 not a usable material for lasers or LEDs. As a result, an off-chip laser has to be used which creates severe assembly problems. A short electrical interconnect is again necessary to connect the CMOS chip with the external laser chip. This interconnect may be short but will already be problematic due to parasitic capacitances. In addition the mounting of several hundred lasers is very cost-intensive. A large single-chip laser array is not feasible since each pin of the CMOS 25 chip needs a laser in close proximity.

Several research groups tried to solve the problem by growing a thin layer of e.g. GaAs on Si. This would enable the monolithical integration of lasers on a silicon chip. Unfortunately, growing GaAs on Si is very difficult due to the large difference in lattice constant.

Other groups developed techniques to transfer thin GaAs layers onto silicon. The idea is to 30 transfer a thin (less than one micron to several microns) layer of III/V semiconductor material containing a laser or another optical component. The laser characteristics will not change due

WO 02/063678

PCT/IB02/00367

- 2 -

to the transfer. Since the layer is so thin, interconnection between the CMOS circuit and the laser can be done with a standard metallization technique, e.g. the last metallization level of the CMOS chip. The result is a monolithic integration of a CMOS circuit with e.g. lasers. The limitation of this technique so far was, that it is a rather manual process. Presently one laser is transferred manually at a time making it unusable in any commercially efficient manufacturing process.

In "Epitaxial Lift-off Applications in Microwave Circuits and Optoelectronics" by T.E. Morf, Diss. ETH Nr. 11800, 1996 an overview over the epitaxial lift-off process is given which can be used to separate devices from their substrate and enable those devices to be transferred to a target substrate. For picking up the devices a vacuum gripper can be used.

A principle of alignment of transferred devices under use of water droplets is described in "Fabrication of long wavelength OELCs using GaAs on InP epitaxial lift-off technology", by L. Pollentier, P. Demaeester, P. Van Daele, D. Rondt, G. Glastre, A. Enard, and R. Blondeau, in Proc. Third Int. Conf. on InP and Related Materials, New York, USA, 1991, pp.268-71.

#### 15 OBJECT AND ADVANTAGES OF THE INVENTION

The invention described here is an assembly process, which can be used to transfer vertical-cavity surface-emitting lasers (VCSEL) and photo diodes on a wafer scale. Hundreds or even thousands of lasers and photo diodes can be transferred simultaneously to a CMOS wafer.

20 According to a first aspect of the invention a method is provided for transferring an integrated-circuit element from a source substrate to a predetermined position on a target substrate.

According to a second aspect of the invention an apparatus is provided for transferring an integrated-circuit element from a source substrate to a predetermined position on a target 25 substrate.

According to a third aspect of the invention the method and apparatus allow the simultaneous transfer of a multitude of integrated-circuit elements.

According to a fourth aspect of the invention the method and apparatus allow a selective transfer of the integrated-circuit elements onto one or more target substrates.

WO 02/063678

PCT/IB02/00367

- 3 -

According to a fifth aspect of the invention the integrated-circuit elements undergo an automatic alignment on the target substrate.

#### SUMMARY OF THE INVENTION

The invention is directed to a method for transferring an integrated-circuit element from a source substrate to a predetermined position on a target substrate. In a first step an element transfer holder that has an adhesive layer comprising an adhesive material with a controllable adhesivity is lowered onto the integrated-circuit element that is located on a source substrate. The adhesivity has a first value suited to hold the integrated-circuit element to the element transfer holder. In a second step the element transfer holder is moved with the integrated-circuit element attached to it towards a target substrate that has a droplet of a liquid arranged at the predetermined position. In a third step the element transfer holder with the integrated-circuit element attached to it is lowered onto the target substrate such that the integrated-circuit element gets into contact with the droplet. In a fourth step the adhesivity of the adhesive layer is set to a second value suited to release the integrated-circuit element from the element transfer holder whereby the droplet aligns the integrated-circuit element to the predetermined position. Finally the element transfer holder is removed.

The technique described here can be seen as a further development of the epitaxial lift-off (ELO) technique. The basic idea of ELO is to release a thin film piece of III/V material and transfer this film piece on a new host material. The film will stick to the new host material by Van-der-Waals forces. The critical steps are releasing the film from its growth substrate and transferring and aligning it. The latter is according to the state of the art done with a manual pick-and-place process, operating on single film pieces making it unusable in any commercial manufacturing process. The present invention is supposed to allow to eliminate this manual process by an automated wafer-scale process.

It is of advantage when the element transfer holder is aligned with the source substrate via an alignment element because thereby an alignment of the integrated-circuit element with respect to the element transfer holder is achievable that allows subsequently a precise control of the adhesivity in the area of the integrated-circuit element.

Before the second step the integrated-circuit element can be released from the source substrate by removing the source substrate or a sacrificial layer underneath the integrated-circuit

WO 02/063678

PCT/IB02/00367

- 4 -

element. This has the advantage that then the integrated-circuit element is isolated and can be transferred as a single element to the target substrate. Several integrated-circuit elements can thereby be manufactured on the same substrate and be isolated from each other to be transferred selectively. For separating several such integrated-circuit elements from each other, 5 trenches can be provided between the integrated-circuit elements, e.g. by etching.

An easy, cheap and quick solution of providing the adhesive layer is to bring the element transfer holder into contact with a surface of a reservoir containing the adhesive material and removing the element transfer holder from the reservoir. The adhesive layer can also be stamped, sprayed or applied via a roller, blade or brush to the element transfer holder.

10 Stamping or the bringing into contact with a reservoir has the advantage of allowing a very homogeneous thickness of the adhesive layer which is advantageous in that the adhesivity can be more accurately controlled.

If the element transfer holder is provided structured to have for the integrated-circuit element a 15 holding area with essentially the lateral dimension of the integrated-circuit element, there is a predetermined area for the integrated-circuit element. This allows better alignment of the integrated-circuit element onto the element transfer holder, e.g. by using the structural edges of the holding area. Also the adhesivity of the adhesive layer for the integrated-circuit element can be controlled in essentially only its holding area. This allows selective attaching and/or releasing of the integrated-circuit elements at the element transfer holder. Even different 20 integrated-circuit elements can be attached to the same element transfer holder.

An easy and nevertheless selective alignment can be provided by using the liquid droplet. As 25 droplet herein is to be understood a confined amount of the liquid. This droplet can hence also be a thin liquid film. The droplet of the liquid can be advantageously arranged at the predetermined position by applying the liquid to the target substrate which comprises a wettability-structured layer that is hydrophilic at the predetermined position. Thereby simply applying the liquid to the whole target substrate will nevertheless leave the liquid droplets only at those positions that are predetermined by the wettability-structure. The wettability-structure can be applied by a lithographic process or a stamping step. No active alignment of the liquid droplets has to be carried out and the risk is reduced that the droplet leaves its position e.g. due 30 to environmental influences like gravity or air flow. The wettability-structure also effects an

WO 02/063678

PCT/IB02/00367

- 5 -

automatic limitation of the liquid amount contained in the droplet. The surface tension of the liquid droplet is then suited to effect the alignment of the integrated-circuit element.

Using a thermally controllable adhesive layer allows to use heaters for controlling the adhesivity. This provides a very cheap and easily realizable way of controlling. Integrating heaters into the element transfer holder is feasible by using current-induced heating, e.g. by providing a coil or meandric wire structure that for being heated is set under current. The heat is well controllable even locally, whereby a material for the element transfer holder is advantageous that provides for a heat conductivity that does essentially not allow the heat present at the position of one integrated-circuit element to control the adhesivity at the position of another integrated-circuit element. Thereby a selective adhesivity control is achievable.

#### DESCRIPTION OF THE DRAWINGS

Examples of the invention are depicted in the drawings and described in detail below by way of example. It is shown in

Fig 1. an element transfer holder wafer above integrated-circuit elements on a source substrate,  
15 Fig. 2 the element transfer holder with integrated-circuit elements attached above a target substrate with wetted landing areas,

Fig. 3 the target substrate with two deposited integrated-circuit elements with the element transfer holder removed.

All the figures are for sake of clarity not shown in real dimensions, nor are the relations  
20 between the dimensions shown in a realistic scale.

#### DETAILED DESCRIPTION OF THE INVENTION

In the following, the various exemplary embodiments of the invention are described.

A CMOS wafer 2, being shown in fig. 2, containing several chips is processed using any known CMOS process. Here, the process is stopped after the last metallization step. The chips have landing areas 12 for integrated-circuit elements 3, which here are VCSELs 3. The landing areas 12 are here signal pads where optical input is required. The whole CMOS wafer 2 is then made hydrophobic except for the landing areas 12. Therefor it is covered with a wettability-structured layer 15 which is structured to leave the landing areas 12 hydrophilic while the rest of the wettability-structured layer 15 is hydrophobic. This CMOS wafer 2 is also

WO 02/063678

PCT/IB02/00367

- 6 -

referred to as target substrate 2 for the VCSELs 3 which represent integrated-circuit elements 3. The landing areas 12 are predetermined positions 12 for these integrated-circuit elements 3. The CMOS wafer 2 is held on a target substrate holder 5.

As depicted in fig. 1, the VCSELs 3 are fabricated on a VCSEL wafer 1 with an etch-stop layer 10 underneath the VCSELs 3. For manufacturing the VCSELs 3 any standard VCSEL process can be used. Several millions of VCSELs 3 measuring e.g. 50µm x 50µm can be processed on a standard 4-inch GaAs wafer, which results in low-cost devices. The VCSEL wafer 1 is hereinafter also referred to as source substrate 1, being held on a source substrate holder 6.

Next, trenches are etched between all VCSELs 3 from the top surface of the VCSEL wafer 1. The trenches reach the etch-stop layers 10 whereby the VCSELs 3 are separated from each other. This can be done using a conventional dry-etching technique. At the same time alignment elements 13 can be created on the VCSEL wafer 1. The resulting structure is depicted in the lower part of fig. 1.

In fig. 1 also an element transfer holder 4 is shown. The element transfer holder 4 in the form of a silicon wafer is used for a subsequent transplantation process, i.e. transferring the integrated-circuit elements 3 from the source substrate 1 to the target substrate 2. This element transfer holder 4 can be of the same size as the VCSEL wafer 1. In this element transfer holder 4 trenches are present to form on the lower surface a waffle pattern whereby the waffles may be a bit larger than the VCSELs 3, e.g. 70µm x 70µm. These waffles are individually heatable by an electrical current. Therefor an array of heaters 7 is arranged on the element transfer holder 4. Additionally the element transfer holder 4 comprises counteralignment elements 14 which correspond to the alignment elements 13. The element transfer holder 4 is controllable in its position via a holder mover 16 which here provides for a movability in all 3 dimensions. The element transfer holder 4 is arranged with the waffle-structured surface down as shown in fig. 1.

For enabling the element transfer holder 4 to transfer the VCSELs 3 from the VCSEL wafer 1, which is the source substrate 1, to the target substrate 2, the element transfer holder 4 is supplied with an adhesive layer 8 which is a layer comprising an adhesive material. This adhesive layer 8 has the property of the adhesivity being variable depending on an external influence which is controllable. Here the adhesivity is controllable via a thermal influence, the heaters 7 serving as adhesivity controllers 7.

WO 02/063678

PCT/IB02/00367

- 7 -

As the adhesive material a small amount of wax has been applied to the waffles by stamping, i.e. the VCSEL wafer 1 is brought into contact with a wax supply whereby the wax sticks to the protruding waffle areas, short referred to as waffles, intended to serve as holding areas 11 for the VCSELs 3. Hence the element transfer holder 4 comprises as the adhesive layer 8 a patterned wax layer 8 whereby each waffle's wax layer 8 is separately controllable in its adhesivity.

5 These heaters 7 can be buried in the element transfer holder 4 and hence be situated close to the waffle patterned surface but also be realized in form of a structure on the upper surface of the element transfer holder 4. Also an arrangement of the heaters 7 on the lower surface of the element transfer holder 4, directly between the element transfer holder 4 and the adhesive layer 8 is feasible which provides the best controllability of the adhesivity.

10 Next, the element transfer holder 4 is placed onto the VCSEL wafer 1. The wax thereby makes contact to the VCSELs 3. Via the alignment structures 13 an alignment within 10µm is feasible. The element transfer holder 4 will seal the top part of the VCSELs 3 in the following 15 etching step. The VCSEL wafer 1 is then etched from the back side until the etch-stop layer 10 is reached. For accelerating this process, the VCSEL wafer 1 could be mechanically thinned down to a first thickness, e.g. by grinding, whereby a thickness of 25 µm can be achieved, and afterwards be etched away. Since etching is the slower process, the mechanical thinning provides for a quicker substrate removal. Next, the etch-stop layer 10 is etched away in a 20 second etching step which could be also unified with the first etching step. After this step all VCSELs 3 each are only connected to the element transfer holder 4 by the wax layer 8. The element transfer holder 4 with the single VCSELs 3 attached to the wax-covered waffles 11 is depicted in fig. 2. An alternative to the substrate removal could be a lift-off process wherein 25 the etch-stop layer 10 is removed and not the whole substrate of the VCSEL wafer 1. An etchant could reach the etch-stop layer 10 from the side. To accelerate this process it would be of advantage to have this etchant reach the etch-stop layer 10 also at other locations. There is space between the VCSELs 3 where this etchant can flow through but it is also possible to provide channels in the element transfer holder 4 or the VCSEL wafer 1 that allow the etchant to flow towards the etch-stop layer 10. Once the etch-stop layer 10 is removed, a separation of 30 the VCSELs 3 from the VCSEL wafer 1 is possible.

The CMOS wafer 2, i.e. the target substrate 2, is dipped in deionized water. Because the target substrate 2 is everywhere hydrophobic except for the landing areas 12 for the VCSELs 3, water

WO 02/063678

PCT/IB02/00367

- 8 -

droplets 9 thereby form in the landing areas 12 only. The rest of the CMOS wafer 2 remains dry. The water droplets 9 on the target substrate 2 are then used for an automatic alignment of the VCSELs 3 on the landing areas 12 of the target substrate 2.

The VCSELs 3 hanging at the element transfer holder 4 are then brought into contact with the water droplets 9 on the CMOS wafer 2 as depicted in fig. 2. By selectively heating and thereby melting the wax layer 8, selected VCSELs 3 will be released. The wax holding these VCSELs 3 becomes liquid and the adhesivity of the wax layer 8 is reduced such that the VCSELs 3 will no longer stick to the element transfer holder 4 and get into the influence of the water droplets 9. The VCSELs 3 will self-align within a few micrometers to the predefined landing areas 12 on the CMOS wafer 2. It is of advantage if the VCSELs 3 have sharp edges at their upper side which substantially prevents the wax from flowing down and negatively influencing the reliability of the transfer process and thereby the later functionality of the final arrangement. Since the VCSELs 3 however have a thickness of typically 7 µm, this dimension provides a safety margin for a possible wax flow. The element transfer holder 4 is then removable, leaving behind those VCSELs 3 which have been released in the preceding step. The result is shown in fig. 3.

The wax hence stays substantially at the element transfer holder 4 and also those VCSELs 3 that have not been released. The water on the target substrate 2 is allowed to evaporate which can be accelerated by heat. Once the water has vanished, the VCSELs 3 lie on the landing areas 12. A possible wax rest on the VCSELs 3 may be removed by a cleaning step using a solvent or the like. Typically then Van-der-Waals forces keep the VCSELs 3 in place, particularly when the VCSELs 3 are additionally shortly pressed once again against the landing areas 12. Also, a glue or soldering the VCSELs 3 to the landing areas 12 by use of a metal can be used. This provides advantageous in case a VCSEL 3 is used that comprises its contact pads at its underside which comes to lie on the target substrate 2. Then, the wiring for the VCEL contact can be premanufactured on the target substrate 2 and after having deposited the VCSEL 3 on its landing area 12, the VCEL contacts can be connected to the wiring by applying heat to the contact area.

Several hundred to thousands of VCSELs 3 can be transferred simultaneously by this method. The VCSEL wafer 1 and the element transfer holder 4 will most likely be smaller than the CMOS wafer 2. For depositing the VCSELs 3 at arbitrary locations on the CMOS wafer 2, the

WO 02/063678

PCT/IB02/00367

- 9 -

element transfer holder 4 can be moved over the CMOS wafer 2 and VCSELs 3 will be released at the desired locations.

In case the VCSELs 3 have one or more electrical contacts at their upper side, a wiring to this side is necessary. A patterned metallization step can be conducted after the VCSELs 3 have been positioned on the target substrate 2, but in case the vertical dimension of the VCSELs 3 is too high, the metallization could fail. For that a support material can be arranged at the VCSELs 3 which smoothes the transition from the target substrate 2 to the upper side of the VCSELs 3. A patterned polyimide layer can be used therefor.

As the adhesive material 8 also other materials that are thermally or otherwise controllable in their adhesivity are suitable. Also an electrostatic field can be used as adhesive force. Instead of water also other liquids can be used for the alignment.

The element transfer holder 4 is designed to be reused.

Any disclosed embodiment may be combined in part as well as in whole with one or several of the other embodiments shown and/or described. This is also possible for one or more features of the embodiments. It is obvious that a person skilled in the art can modify the shown arrangements in many ways without departing from the gist of the invention which is encompassed by the subsequent claims.

WO 02/063678

PCT/IB02/00367

- 10 -

## CLAIMS

1. Method for transferring an integrated-circuit element (3) from a source substrate (1) to a predetermined position (12) on a target substrate (2), comprising
  - a) lowering in a first step an element transfer holder (4) that has an adhesive layer (8) comprising an adhesive material with a controllable adhesivity onto the integrated-circuit element (3) that is located on a source substrate (1) whereby the adhesivity has a first value suited to hold the integrated-circuit element (3) to the element transfer holder (4),
  - b) moving in a second step the element transfer holder (4) with the integrated-circuit element (3) attached to it towards a target substrate (2) that has a droplet (9) of a liquid arranged at the predetermined position (12),
  - c) lowering in a third step the element transfer holder (4) with the integrated-circuit element (3) attached to it onto the target substrate (2) such that the integrated-circuit element (3) gets into contact with the droplet (9),
  - d) setting in a fourth step the adhesivity of the adhesive layer (8) to a second value suited to release the integrated-circuit element (3) from the element transfer holder (4) whereby the droplet (9) aligns the integrated-circuit element (3) to the predetermined position (12),
  - e) removing in a fifth step the element transfer holder (4).
2. Method according to claim 1 wherein in the first step the element transfer holder (4) is aligned with the source substrate (1) via an alignment element (13).
3. Method according to claim 1 or 2 wherein before the second step the integrated-circuit element (3) is released from the source substrate (1) by removing the source substrate (1) or a sacrificial layer underneath the integrated-circuit element (3).
4. Method according to one of claims 1 to 3 wherein the adhesive layer (8) is provided on the element transfer holder (4) by bringing the element transfer holder (4) into contact

WO 02/063678

PCT/IB02/00367

- 11 -

with a surface of a reservoir containing the adhesive material and removing the element transfer holder (4) from the reservoir.

5. Method according to one of claims 1 to 4 wherein the element transfer holder (4) is provided structured to have for the integrated-circuit element (3) a holding area (11) with essentially the lateral dimension of the integrated-circuit element (3).
6. Method according to claim 5 wherein the adhesivity of the adhesive layer (8) for the integrated-circuit element (3) is controlled in essentially only its holding area (11).
10. Method according to one of claims 1 to 6 wherein the droplet (9) of the liquid is arranged at the predetermined position (12) by applying the liquid to the target substrate (2) which comprises a wettability-structured layer (15) that is hydrophilic at the predetermined position (12).
15. Method according to one of claims 1 to 7 wherein the adhesive material comprises a thermally controllable material such as wax.
9. Apparatus for transferring an integrated-circuit element (3) to a predetermined position (12) at a target substrate (2), the apparatus comprising
  - a) an element transfer holder (4) with an adhesive layer (8) comprising an adhesive material with a controllable adhesivity, for holding to it the integrated-circuit element (3),
  - b) an adhesivity controller (7) for controlling the adhesivity of the adhesive layer (8).
20. Apparatus according to claim 9 additionally comprising a holder mover (16) for lowering the element transfer holder (4) onto the integrated-circuit element (3) on a source substrate (1), furthermore for moving the element transfer holder (4) with the integrated-circuit element (3) attached to its adhesive layer (8) to the target substrate (2), and for removing the element transfer holder (4) from the integrated-circuit element (3).

WO 02/063678

PCT/IB02/00367

- 12 -

11. Apparatus according to claim 9 or 10 additionally comprising a target substrate holder (5) and/or a source substrate holder (6).

12. Apparatus according to one of claims 9 to 11 additionally comprising a counteralignment element (14) that corresponds to an alignment element (13) at the source substrate (1).

13. Apparatus according to one of claims 9 to 12 wherein the adhesivity controller (7) is designed to control the adhesivity of the adhesive layer (8) essentially only in a holding area (11) having essentially the lateral dimension of the integrated-circuit element (3).

\* \* \*

WO 02/063678

PCT/IB02/00367

1/1

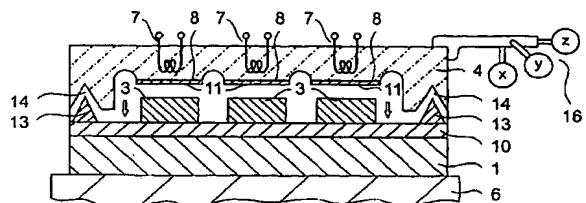


Fig. 1

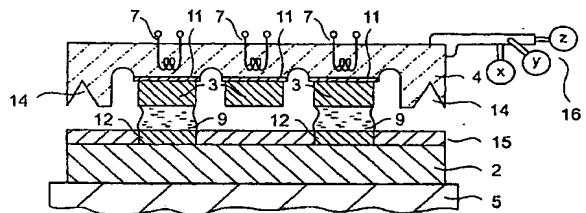


Fig. 2

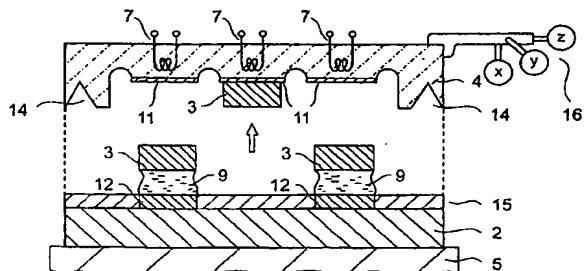


Fig. 3

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		Intn Application No PCT/IB 02/00367
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 HO1L21/78		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 HO1S HO1L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	PATENT ABSTRACTS OF JAPAN vol. 008, no. 127 (E-250), 14 June 1984 (1984-06-14) -& JP 59 040543 A (HITACHI IRUMA DENSHI KK; OTHERS: 01), 6 March 1984 (1984-03-06) abstract; figures -/-	1-3, 5-7
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family extensions are listed in annex
<p>* Special categories of cited documents :</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the International filing date</p> <p>"T" document which may further docket as priority, related or which is referred to in the document under one of the above categories of relevance</p> <p>"C" document relating to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the International filing date but later than the priority date claimed</p> <p>"R" later document published after the International filing date or priority date and set in conflict with the application but which nevertheless contains the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or inventive over such document in either an absolute sense or in view of the document in combination with one or more other such documents, each combination being obvious to a person skilled in the art</p> <p>"M" document number of the same patent family</p>		
Date of the actual completion of the International search	Date of mailing of the International search report	
10 May 2002	17/05/2002	
Name and mailing address of the ISA European Patent Office, P.O. Box 8018 Patentexam 2, NL-2200 HV The Hague, Tel: (+31-70) 340-3000, Fax: 51 551 epo nl, Fax: (+31-70) 340-3075	Authorized officer De Laere, A	

Form PCT/ISA/210 (second issue) 04/02

INTERNATIONAL SEARCH REPORT		Int'l Application No. PCT/IB 02/00367
Category	C(On/Off) DOCUMENTS CONSIDERED TO BE RELEVANT (Indicate document, with indication, where appropriate, of the relevant paragraphs)	Relevance to claim No.
Y	POLLENTIER J ET AL: "Fabrication of long wavelength OEICs using GaAs on InP epitaxial lift-off technology" INDIUM PHOSPHIDE AND RELATED MATERIALS, 1991., THIRD INTERNATIONAL CONFERENCE, CARDIFF, UK 8-11 APRIL 1991, NEW YORK, NY, USA, IEEE, US, 8 April 1991 (1991-04-08), pages 268-271, XP010038582 ISBN: 0-87942-626-8 cited in the application the whole document	1-3,5-7
A	DE 198 22 512 A (SIEMENS AG) 21 October 1999 (1999-10-21) column 3, line 17-28	1,6,9,13
A	EP 0 977 252 A (COMMISSARIAT ENERGIE ATOMIQUE) 2 February 2000 (2000-02-02) abstract paragraph '0032!	1,3,7
A	EP 0 924 769 A (SEIKO EPSON CORP) 23 June 1999 (1999-06-23) abstract	1,3,8
A	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 13 30 November 1998 (1998-11-30) & JP 10 209214 A (SONY CORP), 7 August 1998 (1998-08-07) abstract	4
E	US 2002/036055 A1 (YOSHIMURA TETSUZO ET AL) 28 March 2002 (2002-03-28) paragraphs '0151- '0124! paragraphs '0129!, '0130! paragraph '0136!	1,3,8

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT Information on patent family members			
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 59040543	A 06-03-1984	NONE	
DE 19822512	A 21-10-1999	DE 19822512 A1	21-10-1999
EP 0977252	A 02-02-2000	FR Z781925 A1 EP 0977252 A1 JP 2000153420 A US 6204079 B1	04-02-2000 02-02-2000 05-06-2000 20-03-2001
EP 0924769	A 23-06-1999	JP 11026733 A EP 0924769 A1 CN 1231065 T WO 9901899 A1 TW 382820 B	29-01-1999 23-06-1999 06-10-1999 14-01-1999 21-02-2000
JP 10209214	A 07-08-1998	NONE	
US 2002036055	A1 28-03-2002	JP 2001274528 A	05-10-2001

Form PCT/I8/00367 (patent family format) (July 1992)

---

フロントページの続き

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, P L, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW

(72) 発明者 モルフ、トーマス

スイス国CH-8841 グロス グロスマース12

F ターム(参考) 5C094 AA43 AA48 BA23 DA09 DA12 DB10 EB05 FB20 GB10  
5F173 MC24 MC25 MD03 MD64 MD76 MD82 ME64 ME72  
5G435 AA17 EE32 EE41 HH18 KK05 KK10

【要約の続き】

ルダー(4)から開放するのに適した第2の値に設定され、それにより前記液滴(9)が前記集積回路素子(3)を前記所定の位置(12)に配列させる。最後に、前記素子転写ホルダー(4)が前記集積回路素子(3)から取り外される。

【選択図】図2

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** small text

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**